

## BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-260981

(43)Date of publication of application : 22.09.2000

(51)Int.Cl.

H01L 29/78  
H01L 21/8234  
H01L 27/088

(21)Application number : 11-058862

(71)Applicant : SANKEN ELECTRIC CO LTD

(22)Date of filing : 05.03.1999

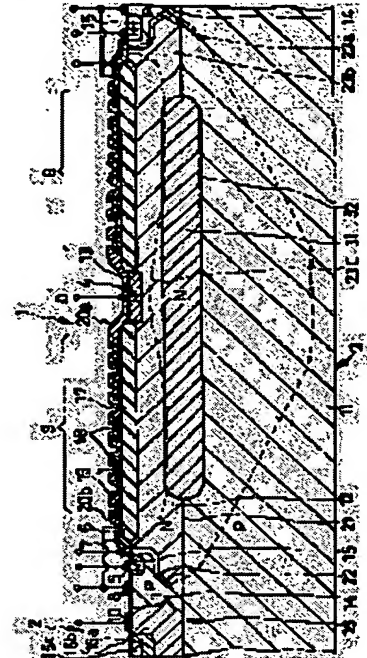
(72)Inventor : IWABUCHI AKIO

## (54) SEMICONDUCTOR DEVICE CONTAINING FIELD-EFFECT TRANSISTOR

## (57)Abstract:

PROBLEM TO BE SOLVED: To prevent thermal break of a semiconductor device, containing a MOSFET constituted in a high breakdown voltage structure.

SOLUTION: In a MOSFET having a first drain region 12, a second drain region 13 having a higher impurity concentration than that of the region 12, a channel forming region 14, and a source region 15 on a substrate region 11, an embedded region 31 is formed between the substrate region 11 and first drain region 12. The impurity concentration in the embedded region 31 is made higher than those in the substrate region 11 and first drain region 12 and the extent of a depletion layer to the first drain region 12 side is restricted to the boundary between the embedded region 31 and first drain region 12 or its vicinity.



## LEGAL STATUS

[Date of request for examination] 29.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3309905

[Date of registration] 24.05.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-260981  
(P2000-260981A)

(43)公開日 平成12年9月22日(2000.9.22)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームコード*(参考)
H 0 1 L	29/78	H 0 1 L	29/78
	21/8234		27/08
	27/088		29/78
			6 5 2 H
			5 F 0 4 8
			1 0 2 B
			6 5 2 E

審査請求 有 請求項の数 6 O L (全 10 頁)

(21)出願番号 特願平11-58862

(22)出願日 平成11年3月5日(1999.3.5)

(71)出願人 000106276

サンケン電気株式会社

埼玉県新座市北野3丁目6番3号

(72)発明者 岩瀬 昭夫

埼玉県新座市北野三丁目6番3号 サンケン電気株式会社内

(74)代理人 100072154

弁理士 高野 則次

Fターム(参考) 5F048 AA00 AA05 AA07 AC06 AC07

AC10 BA02 BA07 BA12 BC01

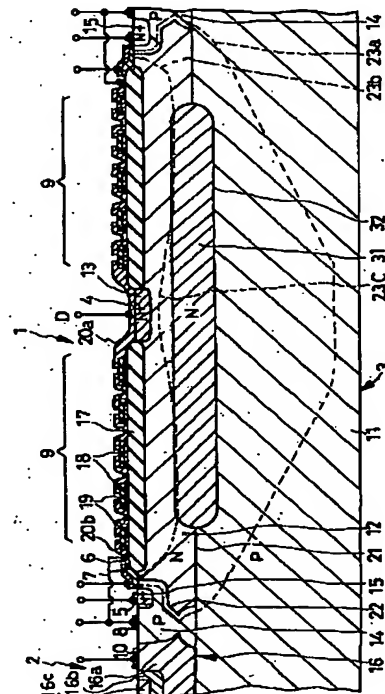
BC03 BD09 BF17

(54)【発明の名称】 電界効果トランジスタを含む半導体装置

(57)【要約】

【課題】 高耐圧構造のMOSFETを含む半導体装置が熱破壊する。

【解決手段】 サブストレート領域11の上に第1のドレイン領域12とこれよりも不純物濃度の高い第2のドレイン領域13とチャネル形成領域14とソース領域15とを有するMOSFETにおいて、サブストレート領域11と第1のドレイン領域12との間に埋め込み領域31を形成する。埋め込み領域31の不純物濃度をサブストレート領域11及び第1のドレイン領域12よりも高くし、第1のドレイン領域12側への空乏層の広がりを埋め込み領域31と第1のドレイン領域12との境界又はこの近くに制限する。



**【特許請求の範囲】**

**【請求項1】** 共通の半導体基体(3)に基づいて形成された第1の半導体素子(1)と第2の半導体素子

(2)とを含み、前記第1の半導体素子(1)は絶縁ゲート型電界効果トランジスタである半導体装置であって、

前記半導体基体(3)は、第1導電形のサブストレート領域(11)と、第1導電形と反対の第2導電形の第1及び第2のドレイン領域(12、13)と、第1導電形のチャンネル形成領域(14)と、第2導電形のソース領域(15)と、第2導電形の埋め込み領域(31又は31a又は31b)と、前記第2の半導体素子(2)のための半導体領域(16)とを有し、

前記サブストレート領域(11)は前記第1及び第2の半導体素子(1、2)の共通のサブストレートであり、前記第1のドレイン領域(12)は前記サブストレート領域(11)の不純物濃度よりも高い不純物濃度を有し且つ前記半導体基体(3)の一方の主面に露出する部分を有し且つ前記サブストレート領域(11)に隣接する部分を有するように配置され、

前記第2のドレイン領域(13)は前記第1のドレイン領域(12)の不純物濃度よりも高い不純物濃度を有し且つ前記半導体基体(3)の一方の主面に露出するように配置され且つ前記第1のドレイン領域(12)の中に島状に配置され、前記チャンネル形成領域(14)は前記半導体基体(3)の一方の主面に露出する部分を有し且つ前記第2のドレイン領域(13)から離間して前記第1のドレイン領域(12)に隣接するように配置され、

前記ソース領域(15)は前記チャンネル形成領域(14)の中に島状に配置され、

前記埋め込み領域(31)は前記第1のドレイン領域(12)の不純物濃度よりも高い不純物濃度を有し且つ前記サブストレート領域(11)と前記第1のドレイン領域(12)との間に配置され且つ前記第1のドレイン領域(12)を介して前記第2のドレイン領域(13)に対向する部分を有し、

前記第2のドレイン領域(13)にドレイン電極(4)が接続され、前記ソース領域(15)にソース電極

(5)が接続され、前記半導体基体(3)の一方の主面の前記ソース領域(15)と前記第1のドレイン領域(12)との間を覆うようにゲート絶縁膜(6)が設けられ、前記ゲート絶縁膜(6)の上にゲート電極(7)が配置されていることを特徴とする半導体装置。

**【請求項2】** 前記埋め込み領域(31)が、前記ドレイン電極(4)と前記ソース電極(5)との間に定格電圧を印加し、且つ前記ゲート電極(7)に電圧を印加して前記ドレイン電極(4)と前記ソース電極(5)との間に電流を流した時に前記サブストレート領域(11)と前記埋め込み領域(31)との間のPN接合(32)

に基づいて生じる空乏層の前記第1のドレイン領域側への広がりを、前記埋め込み領域(31)と前記第1のドレイン領域(12)との境界はこの近傍に制限するように形成されていることを特徴とする請求項1記載の半導体装置。

**【請求項3】** 前記埋め込み領域(31又は31a又は31b)は前記第2のドレイン領域(13)に対向する第1の部分の他に、前記チャンネル形成領域(14)と前記第2のドレイン領域(13)との間において前記第1のドレイン領域(12)に隣接する第2の部分を有し、前記第1の部分の平均不純物濃度が前記第2の部分の平均不純物濃度よりも高く設定されていることを特徴とする請求項1又は2記載の半導体装置。

**【請求項4】** 前記埋め込み領域(31a又は31b)の前記第2の部分の不純物濃度が前記第2のドレイン領域(13)から前記チャンネル形成領域(14)の方向に向って段階的又は連続的に低下していることを特徴とする請求項3記載の半導体装置。

**【請求項5】** 更に、前記チャンネル形成領域(14)の前記ゲート絶縁膜(6)が配置された部分から離れた部分に接続されたグランド電極(8)と、前記半導体基体(3)の前記第2のドレイン領域(13)と前記チャンネル形成領域(14)との間の表面上に形成された絶縁膜(17)と、前記絶縁膜(17)の上に配置された複数のフィールドプレート導体層(18)と、前記複数のフィールドプレート導体層(18)の内で前記ドレイン電極(4)に最も近いものを前記ドレイン電極(4)に容量結合させるための第1の結合手段と、前記複数のフィールドプレート導体層(18)の内で前記ドレイン電極(4)から最も遠いものを前記グランド電極(8)に容量結合させるための第2の結合手段と、前記複数のフィールドプレート導体層(18)を順次に容量結合させる第3の結合手段とを備えていることを特徴とする請求項1又は2又は3又は4記載の半導体装置。

**【請求項6】** 前記第1のドレイン領域(12)は平面的に見て円形に形成され、前記第2のドレイン領域(13)は平面的に見て前記第1のドレイン領域(12)の中央に配置され、前記ソース領域(15)は平面的に見て前記チャンネル形成領域(14)を介して前記第1のドレイン領域(12)を囲むように配置されていることを特徴とする請求項1乃至5のいずれかに記載の半導体装置。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】**本発明は、高耐圧化された絶縁ゲート型電界効果トランジスタを含む半導体装置に関する。

**【0002】**

**【従来の技術】**本件出願人は、図1に示す複合又は集積化された半導体装置を製作した。この半導体装置は、絶

縁ゲート型電界効果トランジスタから成る第1の半導体素子1とこの第1の半導体素子1よりも電力容量の小さい第2の半導体素子2とを有する。第1及び第2の半導体素子1、2を構成するためにシリコン半導体基体3、第1の半導体素子1のためのドレイン電極4、ソース電極5、ゲート絶縁膜6、ゲート電極7、グランド電極8、容量結合形フィールドプレート構成体9、第2の半導体素子2のための電極10等を有する。

【0003】半導体基体3は、P形（第1導電形）のサブストレータ（基層）領域11と、N形（第2導電形）の第1のドレイン領域12と、第1のドレイン領域12よりも不純物濃度の高いN<sup>+</sup>形の第2のドレイン領域13と、平面的に見て第1のドレイン領域12を包囲しているP形のチャンネル形成領域14と、N<sup>+</sup>形ソース領域15と、第2の半導体素子2用の半導体領域16とを有する。第2の半導体素子2のための半導体領域16はコレクタ領域16a、ベース領域16b、エミッタ領域16cから成る。なお、コレクタ電極16a内に、コレクタ電極とのオーミックコンタクトを良好に取るための高不純物濃度のN<sup>+</sup>形コンタクト領域を形成しても良い。サブストレータ領域11は板状の半導体基体3の裏面

（下面）の全部を含むように形成されている。第1のドレイン領域12はサブストレータ領域11上にN形半導体をエピタキシャル成長させた層に基づくものであって、平面的に見て比較的大きな面積を有し、FETの高耐圧化に寄与している。N<sup>+</sup>形の第2のドレイン領域13はドレイン電極3を良好にオーミック接触させるための領域であって、第1のドレイン領域12の中心に配置されている。なお、N<sup>+</sup>形の第2のドレイン領域13は第1のドレイン領域12にN形不純物を島状に拡散することによって形成されており、サブストレータ領域11に到達しないように比較的浅く形成されている。P形のチャンネル形成領域14は平面的に見て第1のドレイン領域12を包囲すると共に、半導体基体3の表面（上面）からP形のサブストレータ領域11に達するように配置されている。従って、チャンネル形成領域14はFETのチャンネルの形成に寄与しているのみでなく、第1及び第2の半導体素子1、2の電気的分離にも寄与している。なお、チャンネル形成領域14又はこれとサブストレータ領域11とを合せてFETのボディ領域と呼ぶこともできる。N<sup>+</sup>形ソース領域15は平面的に見て第1のドレイン領域12をチャンネル形成領域14を介して囲むように環状に配置され、N形不純物をチャンネル形成領域14に島状に拡散することによって形成されている。第2の半導体素子2のための半導体領域16としてトランジスタのN形コレクタ領域16aは平面的に見てチャンネル形成領域14に隣接するようにサブストレータ領域11の上に配置されている。

【0004】ドレイン電極4はN<sup>+</sup>形の第2のドレイン領域13に接続されている。ソース電極5はN<sup>+</sup>形ソー

ス領域15に接続されている。ゲート絶縁膜6はソース領域15と第1のドレイン領域12との間で半導体基体3の表面に露出しているチャンネル形成領域14を覆うように配置されている。ゲート電極7はゲート絶縁膜6の上に配置され、ソース領域15と第1のドレイン領域12との間のチャンネル形成領域14に対向されている。グランド電極又はバックゲート電極8はゲート電極7から離間して配置され、チャンネル形成領域14を介してサブストレータ領域11に接続され、サブストレータ領域11を最低電位に固定するために寄与している。なお、エミッタ電極5とグランド電極8とを一体的に形成することもできる。

【0005】容量結合形フィールドプレート構成体9は、第1のドレイン領域12の表面上に環状に形成されたシリコン酸化膜から成る絶縁膜17と、複数のフィールドプレート用環状金属導体層18と、複数の誘電体層19と、複数の接続導体層20a、20b、20cとから成る。図2から明らかなように、環状金属導体層18は絶縁膜17を介して第1のドレイン領域12に対向してフィールドプレートを構成する。誘電体層19は各フィールドプレート導体層18を被覆するように配置されている。第1の容量結合手段としての接続導体層20aは最内周側のフィールドプレート導体層18に誘電体層19を介して対向し且つドレイン電極4に接続されている。第2の容量結合手段としての接続導体層20bは最外周側のフィールドプレート導体層18に誘電体層19を介して対向し、且つグランド電極8に接続されている。第3の容量結合手段としての接続導体層20cはフィールドプレート導体層18に対向し且つコンデンサ直列接続部材として機能している。導体層20a、20b、20cと誘電体19と5個のフィールドプレート導体層18とは互いに直接に接続された10個のコンデンサを構成し、この10個のコンデンサの直列回路がドレイン電極4とグランド電極8との間に接続されている。環状の導体層18はフィールドプレートとして作用し、第1のドレイン領域12の図1の左右方向における電位変化をなだらかにして均一な電界強度を与えることで耐圧向上に寄与している。

【0006】第1の半導体素子1としてのFETは、ドレイン電極4の電位をソース電極5の電位よりも高く設定し、ゲート電極7とソース電極5との間にゲート信号を印加すると、チャンネル形成領域14の表面にN形チャンネルが形成され、ドレイン電極4、第2のドレイン領域13、第1のドレイン領域12、N形チャンネル、ソース領域15、及びソース電極5から成る経路でドレイン電流が流れる。第1のドレイン領域12は比較的厚く形成され且つP形サブストレータ領域11よりも高い不純物濃度を有し、またフィールドプレート構成体9が設けられているので、ドレイン電極4とソース電極5との間に比較的高い電圧を印加することが可能になり、高耐圧M

OSFETを提供することができる。

【0007】

【発明が解決しようとする課題】ところで、ドレイン電極4の電位がソース電極5の電位よりも高くされ、サブストレート領域11と第1のドレイン領域12との間の第1のPN接合21及び第1のドレイン領域12とチャネル形成領域14との間の第2のPN接合22がそれぞれ逆バイアス状態となり、且つゲート電極7に電圧が印加されてドレイン電極4とソース電極5との間に電流が流れている場合には、図1の2つの破線23a、23bで挟まれた領域に空乏層が生じる。第1のドレイン領域12は抵抗を有するので、第1のドレイン領域12における電位はチャネル形成領域14側から第2のドレイン領域13に向かって徐々に高くなる。従って、空乏層23a、23bは第1のPN接合21の下方部分において最も広がる。この結果、第2のドレイン領域13の近傍で第1のドレイン領域12のドレイン電流通路が第1のドレイン領域12の空乏層23bによって大幅に狭められ、ドレイン電流通路の抵抗が増大し、且つ電流密度が大きくなる。第2のドレイン領域13の近くの抵抗の高い電流通路に比較的大きな電流が流れると、この領域の電界の強さが大きくなり、この電界の強さが半導体の最大電界強度を超えると、N形の第1のドレイン領域12内に高電界に加速された多数の電子が発生し、これ等が結晶粒子に衝突して更に電子を生成し、加速度的に多数キャリア（電子）が増大する。発生した多数キャリアはP形のサブストレート領域11に吸い込まれる。P形サブストレート領域11は隣接する他の半導体素子2に共用されているため、第2の半導体領域2のN形コレクタ領域16aとP形のサブストレート領域11及びP形のチャネル形成領域14とN形の第1のドレイン領域12とによってNPN形の寄生トランジスタが形成され、N形の第1のドレイン領域12に生じた多数キャリアのP形サブストレート領域11への吸い込みが寄生トランジスタのベース電流として作用し、寄生トランジスタがオン状態となり、大きな電流が流れ続けて半導体装置が熱破壊するおそれがある。この熱破壊の発生する電圧は、トランジスタに電流の流れていない状態のドレイン・ソース間の計算上（理論上）の電圧（耐圧）よりも低いドレイン・ソース間電圧で発生するため、図1に示すように高耐圧構造にしたにも拘らず、電流を流した場合の実使用時の耐圧をあまり高めることができなかった。このような問題は第2のドレイン領域13を中心に同心円状に第1のドレイン領域12及びソース領域15を環状に配置する場合に特に第2のドレイン領域13の近くで電流密度が高くなり、より顕著となる。

【0008】そこで、本発明の目的は第2のドレイン領域の近傍での電流密度の増大を抑制することができる半導体装置を提供することにある。

【0009】

【課題を解決するための手段】上記課題を解決し、上記目的を達成するための本発明は、共通の半導体基体3に基づいて形成された第1の半導体素子1と第2の半導体素子2とを含み、前記第1の半導体素子1は絶縁ゲート型電界効果トランジスタである半導体装置であって、前記半導体基体3は、第1導電形のサブストレート領域11と、第1導電形と反対の第2導電形の第1及び第2のドレイン領域12、13と、第1導電形のチャネル形成領域14と、第2導電形のソース領域15と、第2導電形の埋め込み領域31又は31a又は31bと、前記第2の半導体素子2のための半導体領域16とを有し、前記サブストレート領域11は前記第1及び第2の半導体素子1、2の共通のサブストレートであり、前記第1のドレイン領域12は前記サブストレート領域11の不純物濃度よりも高い不純物濃度を有し且つ前記半導体基体3の一方の主面に露出する部分を有し且つ前記サブストレート領域11に隣接する部分を有するように配置され、前記第2のドレイン領域13は前記第1のドレイン領域12の不純物濃度よりも高い不純物濃度を有し且つ前記半導体基体3の一方の主面に露出するように配置され且つ前記第1のドレイン領域12の中に島状に配置され、前記チャネル形成領域14は前記半導体基体3の一方の主面に露出する部分を有し且つ前記第2のドレイン領域13から離間して前記第1のドレイン領域12に隣接するように配置され、前記ソース領域15は前記チャネル形成領域14の中に島状に配置され、前記埋め込み領域31は前記第1のドレイン領域12の不純物濃度よりも高い不純物濃度を有し且つ前記サブストレート領域11と前記第1のドレイン領域12との間に配置され且つ前記第1のドレイン領域12を介して前記第2のドレイン領域13に対向する部分を有し、前記第2のドレイン領域13にドレイン電極4が接続され、前記ソース領域15にソース電極5が接続され、前記半導体基体3の一方の主面の前記ソース領域15と前記第1のドレイン領域12との間を覆うようにゲート絶縁膜6が設けられ、前記ゲート絶縁膜6の上にゲート電極7が配置されていることを特徴とする半導体装置に係わるものである。

【0010】なお、請求項2に示すように埋め込み領域31が、空乏層の第1のドレイン領域12側への広がりを埋め込み領域31と第1のドレイン領域12との境界又は近傍に制限されるように構成されていることが望ましい。また、請求項3及び4に示すように埋め込み領域31の第2のドレイン領域13に対向する部分の不純物濃度を埋め込み領域31のチャネル形成領域14寄りの部分の不純物濃度よりも高くすることが望ましい。また、請求項5に示すように第1のドレイン領域12の上に絶縁層17を介して複数のフィールドプレート導体層18を設けることが望ましい。

【0011】

【発明の効果】各請求項の発明によれば、埋め込み領域31、31a、31bの不純物濃度が第1のドレイン領域12の不純物濃度よりも高く設定されているので、ここで空乏層の広がり制限効果が得られ、第1のドレイン領域12に空乏層が大幅に広がらなくなり、第1のドレイン領域12におけるドレイン電流の通路が狭くなることを防ぐことができる。この結果、第2のドレイン領域13の近くでの電流密度の増大を抑制し、半導体装置の熱破壊を防止することができる。請求項2～4の発明によれば、第1のドレイン領域側への空乏層の広がり制限を良好に達成することができ、更に、サブストレート領域11側に広がる空乏層をなだらかにすることができる。これにより、熱破壊の防止及び耐圧向上が良好に達成される。また、請求項5の発明によれば、フィールドプレートの効果を伴って耐圧向上を良好に達成することができる。

#### 【0012】

【実施形態及び実施例】次に、図3～図11を参照して本発明の実施形態及び実施例を説明する。但し、図3～図11において図1と実質的に同一の部分には同一の符号を付してその説明を省略する。

#### 【0013】

【第1の実施例】図3は第1の実施例の半導体装置の半導体基体3の表面を示し、図4は半導体装置の図3のA-A線に相当する部分を示す断面図である。図3には第1の半導体素子1よりも電力容量の小さい第2の半導体素子2のための半導体領域16としてN形コレクタ領域16aとP形ベース領域16bとN形エミッタ領域16cが示されている。図4に示す第1の実施例の半導体装置は、図1の従来の半導体装置にN形の埋め込み領域31を付加した他は図1と同一に構成したものである。埋め込み領域31は図4から明らかなように第1のドレイン領域12とサブストレート領域11との間に配置され且つ平面的に見て図3に示すようにその中央に第2のドレイン領域13の全部を含むように配置されている。更に詳細には、この埋め込み領域31は平面的に見て第1及び第2のドレイン領域12、13、ソース領域15に対して同心円状に配置され、この外周縁は第2のドレイン領域13とチャンネル形成領域14との間に位置している。埋め込み領域31はサブストレート領域11と第1のドレイン領域12とに食い込んだように配置されている。この様な配置はサブストレート領域11の主面の所定領域にN形不純物を拡散し、この上に第1のドレイン領域12を得るためのN形シリコンをエピタキシャル成長させることによって必然的に生じる。

【0014】埋め込み領域31は、第1のドレイン領域12におけるドレイン電流の通路が空乏層によって狭まることを防ぐために設けられている。従って、ドレイン電極4とソース電極5との間に定格電圧を印加し、電流を流した時にP形サブストレート領域11とN形埋め込

み領域31との間のPN接合32の逆バイアスによって生じるN形埋め込み領域31側の破線23cで示す空乏層の広がり範囲が第1のドレイン領域12と埋め込み領域31との境界又はこの近傍となるようにN形埋め込み領域31の不純物濃度及び厚さ（深さ）が決定されている。もし、埋め込み領域31の不純物濃度が低過ぎると、PN接合32に基づく空乏層が埋め込み領域31を埋めつくし、更に第1のドレイン領域12にも大幅に広がり、第1のドレイン領域12におけるドレイン電流の通路が狭められる。また、埋め込み領域31の厚さ（深さ）が薄過ぎると、この不純物濃度が比較的高くても空乏層によって埋めつくされ、空乏層が第1のドレイン領域12に大幅に広がるために第1のドレイン領域12におけるドレイン電流の通路が狭められる。そこで、本実施例では、サブストレート領域11の不純物濃度が約 $2.5 \times 10^{14} \text{ cm}^{-3}$ 、第1のドレイン領域12の不純物濃度が約 $1 \times 10^{15} \text{ cm}^{-3}$ 、埋め込み領域31の不純物濃度が約 $1.2 \times 10^{15} \sim 2.5 \times 10^{15} \text{ cm}^{-3}$ に設定されている。

【0015】図5で破線で示すP形サブストレート領域11とN形の第1のドレイン領域12との間のPN接合21の延長平面33と第2のドレイン領域13との間隔をD1、上記平面33と埋め込み領域31の上面との間隔をD2とした時に、 $D2/D1$ が $1/3 \sim 2/3$ の範囲に収まるように第1のドレイン領域12及び埋め込み領域31の厚み（深さ）が設定されている。

【0016】N形埋め込み領域32は図5に示すように第1及び第2の不純物濃度領域34、35を有する。埋め込み領域31の中央の第1の不純物濃度領域34は第2のドレイン領域13に対向するように配置され、平面形状が円形である。第2の不純物濃度領域35は第1の不純物濃度領域34を環状に囲むように配置され、第1の不純物濃度領域34よりも低い不純物濃度を有する。なお、第1の不純物濃度領域34の不純物濃度は約 $2.5 \times 10^{15} \text{ cm}^{-3}$ であり、第2の不純物濃度領域35の不純物濃度は約 $1.2 \times 10^{15} \text{ cm}^{-3}$ である。この実施例では埋め込み領域31の不純物濃度を2段階に変えたが、3段階以上又は連続的に変えてもよい。

【0017】埋め込み領域31に第1及び第2の不純物濃度領域34、35を形成するために、本実施例では、図6に示すようにサブストレート領域11の表面上に目標とする第1及び第2の不純物濃度領域34、35に対応するように2段階に厚みが増加する注入抑制膜36a、36bを有する薄いマスク37を形成し、周知のイオン注入法で不純物イオンをマスク37を介してサブストレート領域11に注入し、不純物濃度がマスク37の厚さの変化に対応して異なるN形不純物注入領域38を形成し、しかる後、マスク37を除去した後に、N形エピタキシャル成長層を形成した。なお、厚さの異なるマスク37を形成する代りに、図5の第1及び第2の不純



物濃度領域34、35に対応して不純物濃度の異なる2回の不純物拡散をして2つの領域34、35を得ることができる。

【0018】図4の第1の半導体素子1としてのFETのドレイン電極4とソース電極5との間にドレイン電極4の電位がソース電極5の電位よりも高くなるようにドレイン・ソース間電圧を印加し、チャネル形成領域14にNチャネルが形成されるようにゲート電極7とソース電極5との間にゲート・ソース間電圧を印加すると、ドレイン電流がドレイン電極4、第2のドレイン領域13、第1のドレイン領域12、N形チャネル、ソース領域15及びソース電極5の経路で流れる。この時、サブストレータ領域11と第1のドレイン領域12との間の第1のPN接合21、チャネル形成領域14と第1のドレイン領域12との間の第2のPN接合22及びサブストレータ領域11と埋め込み領域31との間の第3のPN接合32が逆バイアス状態となり、図4で破線23a、23b、23cで示すように空乏層が生じる。図4で破線23a、23bで示す空乏層は図1で破線23a、23bで示した空乏層と同様に第1及び第2のPN接合21、22に基づくものである。図4で破線23cで示す空乏層は本発明に従う埋め込み領域31で制限された空乏層である。第3のPN接合32に基づいて埋め込み領域31側に広がる空乏層は既に説明したように埋め込み領域31の不純物濃度及び電界の強さに依存して変化する。埋め込み領域31を持たない図1では第2のドレイン領域13の近くにおいて空乏層の広がりが大きくなる。これに対して、本実施例では不純物濃度が第1のドレイン領域12よりも高い埋め込み領域31によって空乏層の第2のドレイン領域13方向への広がりが制限され、破線23cで示す空乏層は第1のドレイン領域12と埋め込み領域31との境界又はこの近傍まで広がるのみである。この結果、第1のドレイン領域12のドレイン電流の通路が空乏層によって実質的に狭められないか又は狭める程度が低くなる。このため、第1のドレイン領域12の第2のドレイン領域13近傍部分においてドレイン電流密度が異常に高くならず、多数キャリア（電子）のサブストレータ領域11への注入による熱破壊が制限される。従って、ドレイン電極4とソース電極5との間の最高電圧を高めることができる。また、この実施例では、 $D2/D1$ が $1/3 \sim 2/3$ の範囲に設定されているので、ドレイン・ソース間の耐圧の確保と、第1のドレイン領域12における電流通路の確保との両方が合理的に達成されている。また、埋め込み領域31の不純物濃度が第2のドレイン領域13に対向する中央部よりも外周側で低くなっているため、埋め込み領域31の空乏層の広がり抑制作用が外側の第2の不純物濃度領域35よりも中央の第1の不純物濃度領域34で強くなる。これにより、図1で破線23bで示した空乏層の広がりを図4に示すように抑制するために好都合であ

る。また、埋め込み領域31の不純物濃度を外周側で低くすることにより、サブストレータ領域11に広がる空乏層がなだらかになり、高耐圧化が達成される。また、同心円状に配置されたフィールドプレート構成体9が設けられているので、第1のドレイン領域12における電位変化をなだらかに固定して均一な電界強度を与えることができ、耐圧特性が向上する。また、埋め込み領域31は第2のドレイン領域13に対向する部分のみではなく、チャネル形成領域14と第2のドレイン領域13との間にも設けられているので、埋め込み領域31とフィールドプレート構成体9との間の第1のドレイン領域12は比較的大きな電流通路を有し且つ安定した電界強度状態となり、熱破壊及び電圧破壊し難くなる。

#### 【0019】

【第2の実施例】図7に示す第2の実施例の半導体装置は図4の埋め込み領域31の代りに埋め込み領域31aを設けた他は図4と同一に構成したものである。図7のN形埋め込み領域31aは不純物濃度の異なる第1、第2及び第3の部分41、42、43を有する。第2のドレイン領域13に対向配置され第1の部分41の平均不純物濃度は約 $2.5 \times 10^{15} \text{ cm}^{-3}$ であり、第2の部分42の平均不純物濃度は約 $1.9 \times 10^{15} \text{ cm}^{-3}$ であり、第3の部分43の平均不純物濃度は約 $1.2 \times 10^{15} \text{ cm}^{-3}$ である。

【0020】図7に示すように3段階に変化する不純物濃度を有する埋め込み領域31aを形成する時には、例えば、図8(A)に示すようにP形サブストレータ領域11の上に第1の部分41を得るための第1のN形不純物拡散層41aを形成し、次に、図8(B)に示すように第2の部分42を得るための第2のN形不純物拡散層42aを第1のN形不純物拡散層41aに重ねて形成し、次に、図8(C)に示すように第3の部分43を得るための第3のN形不純物拡散層43aを第1及び第2のN形不純物拡散層41a、42aに重ねて形成する。しかる後、サブストレータ領域11上にN形半導体をエピタキシャル成長させることによって図7の埋め込み領域31aを得る。

【0021】図7の埋め込み領域31aの深さ及び不純物濃度は図4の埋め込み領域31と同様に決定されているので、第2の実施例によっても第1の実施例と同一の効果を得ることができる。

#### 【0022】

【第3の実施例】図9に示す半導体装置は図4の埋め込み領域31を埋め込み領域31bに変形した他は図4と同一に構成したものである。図9の埋め込み領域31bは複数の球状半導体領域51の集合から成る。複数のN形の球状半導体領域51はそれぞれほぼ同一の不純物濃度を有する。しかし、複数の球状半導体領域51の互いに重なり合っている部分は重なり合っていない部分に比べて不純物濃度が高い。複数の球状半導体領域51は第

2のドレイン領域13の下方において密に配置され、ここから離れるに従って粗に配置されている。従って、第2のドレイン領域13の下方の中央領域で平均不純物濃度が高く、ここから離れるに従って平均不純物濃度が低下する。図9の埋め込み領域31bの平均的厚み(高さ)及び平均的不純物濃度は第1の実施例の埋め込み領域31と同様に決定されている。これにより、図9の第3の実施例によっても第1の実施例と同一の効果を得ることができる。

#### 【0023】

【第4の実施例】図10及び図11の半導体装置は図3及び図4の第1の実施例の第2の半導体素子2の代りにFETから成る第2の半導体素子2aを設け、また、第1の実施例の円形の第2のドレイン領域13を環状の第2のドレイン領域13aに変形し、この内側に第2の半導体素子2aを配置した他は第1の実施例と同一に構成したものである。図10及び図11に概略的に示す第2の半導体素子2aはP形チャネル形成領域61とN<sup>+</sup>形ソース領域62とN<sup>+</sup>形ドレイン領域63とゲート絶縁膜64とソース電極65とドレイン電極66とゲート電極67とを有する。P形チャネル形成領域61はN形の第1のドレイン領域12の中に島状に形成されている。ソース領域62及びドレイン領域63はP形チャネル形成領域61の中に島状に形成されている。ソース電極65はソース領域62に接続され、ドレイン電極66はドレイン領域63に接続され、ゲート電極67はゲート絶縁膜64の上に配置されている。この様に構成した場合においても、第1の半導体素子1を第1の実施例と同一に構成することにより、第1のドレイン領域12における電流密度の増大が抑制される。これにより、第1の半導体素子1の第1のドレイン領域12から第2の半導体素子2aのP形チャネル形成領域61への多数キャリアの流入を防ぐことができ、第1の実施例と同様な効果が得られる。

#### 【0024】

【変形例】本発明は上述の実施例に限定されるものではなく、例えば次の変形が可能なものである。

(1) 図9では多数の球状半導体領域51の組み合わせで埋め込み領域31bを構成したが、この代りに、複数の平板状半導体領域の組み合わせ、又は平板状半導体領域と球状半導体領域の組み合わせで埋め込み領域を構成することができる。

(2) 各実施例では埋め込み領域31、31a、31bが第2のドレイン領域13に対向する中央部で不純物濃度が最も高く、ここから離れるに従って不純物濃度が低くなっているが、領域31、31a、31bの全部を

これ等の中央部分と同一の不純物濃度とすることができ

(3) 各実施例のようにシリンドリカル構造にすることによって顕著な効果が得られるが、第2のドレイン領域13の左側半分又は右側半分を取り除いたような構造にすることもできる。

(4) 図9に示す第3の実施例において、球状半導体領域51の代りに、平面的に見て第2のドレイン領域13を中心にして環状の半導体領域を設け、この環状半導体領域の切断面を図9の球状半導体領域51の位置に一致させることができる。

#### 【図面の簡単な説明】

【図1】従来の半導体装置の断面図である。

【図2】図1のフィールドプレート構成体の一部を拡大して示す断面図である。

【図3】本発明の第1の実施例の半導体装置の半導体基体の表面の一部を示す平面図である。

【図4】本発明の第1の実施例の半導体装置の図3のA-A線に相当する部分を拡大して示す断面図である。

【図5】図4の埋め込み領域及びこの近傍を説明するための断面図である。

【図6】図4の埋め込み領域の形成方法を説明するための断面図である。

【図7】本発明の第2の実施例の半導体装置を図4と同様な方法で示す断面図である。

【図8】図7の埋め込み領域の形成方法を説明するための断面図である。

【図9】本発明の第3の実施例の半導体装置を図4と同様な方法で示す断面図である。

【図10】本発明の第4の実施例の半導体装置の半導体基体の第2の半導体素子及びこの近傍を示す平面図である。

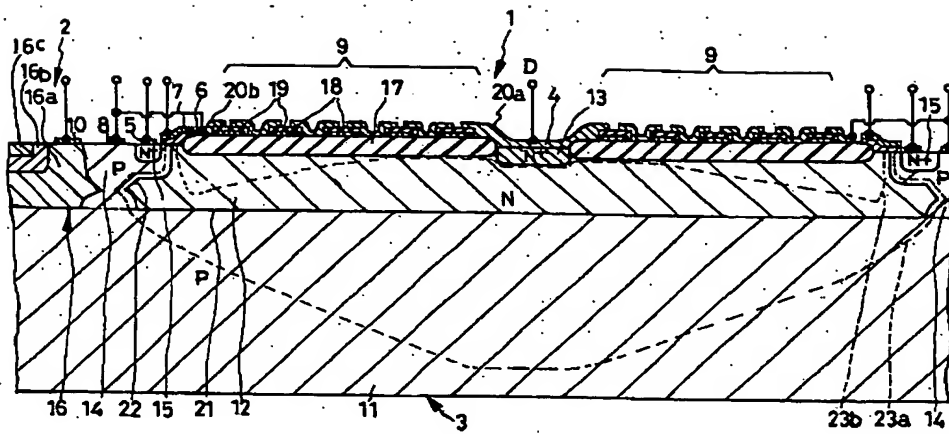
【図11】第4の実施例の第2の半導体素子及びこの近傍を図10のB-B線に相当する部分で示す断面図である。

#### 【符号の説明】

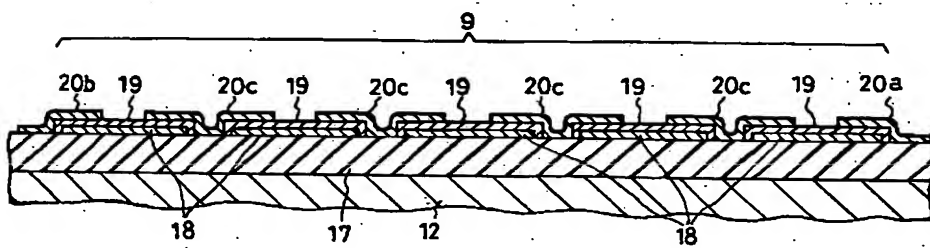
- 1 第1の半導体素子
- 2 第2の半導体素子
- 3 半導体基体
- 11 サブストレータ領域
- 12 第1のドレイン領域
- 13 第2のドレイン領域
- 14 チャネル形成領域
- 15 ソース領域
- 31 埋め込み領域



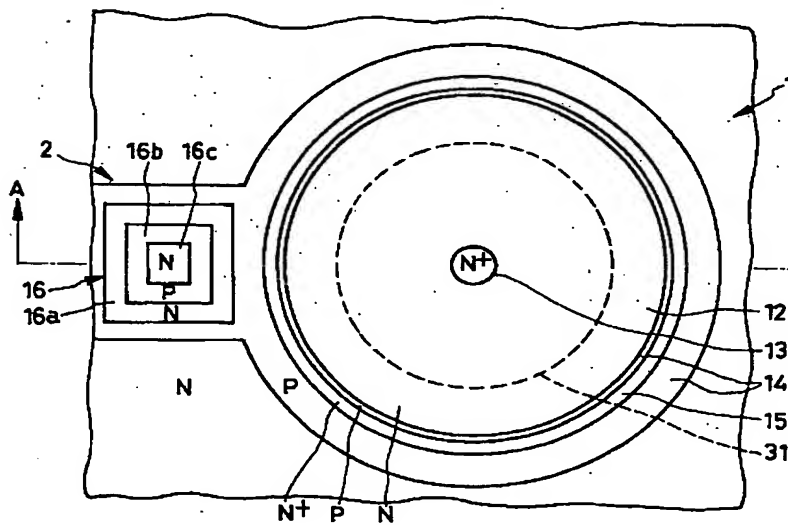
【図面1】



【図面2】



【図面3】



【図面10】

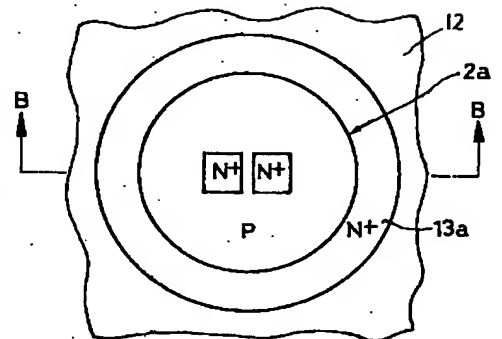


Fig. 1 is a cross-sectional view of a semiconductor device. The device is built on a substrate 11, which consists of an N-type layer 31 and a P-type layer. A gate stack 12 is formed on the substrate, comprising a gate oxide layer 13a and a gate electrode 13b. The gate electrode is divided into regions 61, 62, 63, 64, 65, 66, and 67. A source/drain region 14 is formed in the substrate, containing dopants 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64, 65, 66, 67, 68, 69, 70, 71, 72, 73, 74, 75, 76, 77, 78, 79, 80, 81, 82, 83, 84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 98, 99, 100. The source/drain region is divided into regions 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64, 65, 66, 67, 68, 69, 70, 71, 72, 73, 74, 75, 76, 77, 78, 79, 80, 81, 82, 83, 84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 98, 99, 100.

FIG. 1 is a cross-sectional view of a substrate 11. A thin layer 36 is formed on the top surface of the substrate 11. The layer 36 is divided into two regions, 36a and 36b, by a boundary 37. A feature 38 is located within region 36a. Arrows point to regions 36b, boundary 37, and feature 38.

Figure 1 consists of three schematic diagrams, (A), (B), and (C), showing cross-sectional views of a substrate 11 with a patterned layer P. In all diagrams, the substrate 11 is a horizontal bar with a wavy bottom edge. The layer P is a horizontal bar with a rectangular notch N in its center. In diagram (A), the layer P is a single layer with a layer 41a on top of it. In diagram (B), the layer P is a single layer with a layer 41a on top of it and a layer 42a on the right side of the layer 41a. In diagram (C), the layer P is a single layer with a layer 41a on top of it, a layer 42a on the left side of the layer 41a, and a layer 43a on the right side of the layer 41a.

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**